

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-022473

(43)Date of publication of application : 23.01.1998

(51)Int.Cl.

H01L 27/108
H01L 21/8242
H01L 21/306
H01L 27/04
H01L 21/822
// H01L 21/316

(21)Application number : 08-174950

(71)Applicant : NEC CORP

(22)Date of filing : 04.07.1996

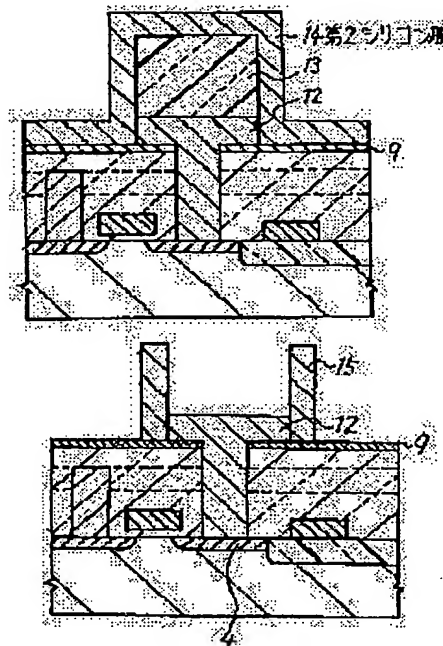
(72)Inventor : HIROTA TOSHIYUKI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To eliminate the need to use a silicon nitride layer as a layer insulation film etching-preventive layer by setting a second silicon oxide film for forming the shape of information memory electrodes to a lower density than that of a first silicon oxide film and selectively removing the second film after forming the electrodes.

SOLUTION: Information memory electrodes are composed of lower electrodes 12 electrically connected to a capacitor diffused layer 4 and side electrodes 15 electrically connected to these electrodes 15. A silicon oxide film 14 for forming the memory electrodes 12, 15 has a density lower than that of a silicon oxide film to be a layer insulation film etching-preventive layer 9 below the electrodes 12, 15. After forming the electrodes 12, 15, the oxide film 14 used for this forming is selectively removed. This eliminates the need of the conventionally used silicon nitride film as the etching-preventive layer 9, thereby preventing the crack and deterioration of the element isolating characteristics.



LEGAL STATUS

[Date of request for examination]

04.07.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

2930016

[Date of registration]

21.05.1999

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-22473

(43) 公開日 平成10年(1998) 1月23日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所	
H O 1 L	27/108		H O 1 L	27/10	6 2 1 A
	21/8242			21/316	X
	21/306				G
	27/04			21/306	D
	21/822			27/04	C
審査請求 有 請求項の数 6 O L (全 9 頁) 最終頁に続く					

(21) 出願番号 特願平8-174950

(22) 出願日 平成8年(1996) 7月4日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 ▲廣▼田 俊幸

東京都港区芝五丁目7番1号 日本電気株式会社内

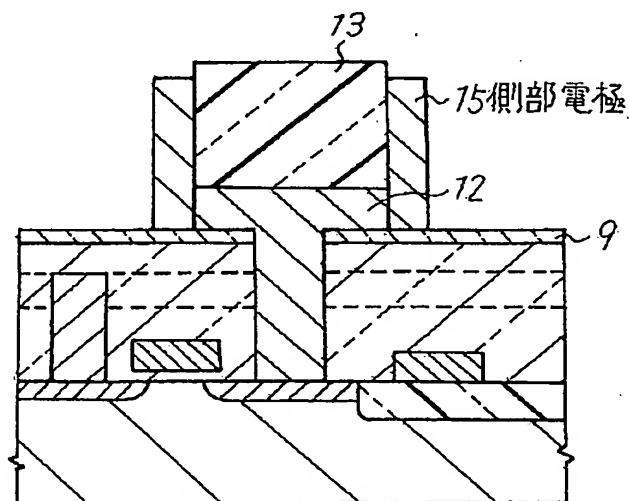
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】半導体記憶装置のスタック型のキャパシタ形成工程において、電極形状加工に用いるシリコン酸化膜を簡便な方法で選択的に除去する。

【解決手段】半導体記憶装置の情報蓄積電極と対向電極と容量絶縁膜とで構成されるスタック型のキャパシタ形成工程において、情報蓄積電極の形状加工に用いるシリコン酸化膜の密度を、情報蓄積電極下に設けた層間絶縁膜エッチング防止層であるシリコン酸化膜の密度よりも低くなるように設定し、情報蓄積電極の形状加工後、層間絶縁膜エッチング防止層で層間絶縁膜のエッチングを防止しながら、上記形状加工に用いたシリコン酸化膜を選択的にエッチング除去する。



【特許請求の範囲】

【請求項1】 半導体記憶装置の情報蓄積電極と対向電極と容量絶縁膜とで構成されるスタック型のキャパシタ形成工程において、前記情報蓄積電極の形状加工に用いるシリコン酸化膜の密度を、前記情報蓄積電極下に設けた層間絶縁膜エッチング防止層であるシリコン酸化膜の密度よりも低くなるように設定し、前記情報蓄積電極の形状加工後、前記形状加工に用いたシリコン酸化膜を選択的に除去することを特徴とする半導体装置の製造方法。

【請求項2】 前記情報蓄積電極の形状がシリンダ構造またはフィン構造に加工されることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 前記層間絶縁膜エッチング防止層であるシリコン酸化膜の密度が 2.20 g/cm^3 以上になるように設定することを特徴とする請求項1または請求項2記載の半導体装置の製造方法。

【請求項4】 前記層間絶縁膜エッチング防止層は、熱CVD法で堆積しその後 700°C 以上の温度で処理を施したシリコン酸化膜であることを特徴とする請求項1、

請求項2または請求項3記載の半導体装置の製造方法。

【請求項5】 前記情報蓄積電極の形状加工に用いるシリコン酸化膜が、ゾル・ゲル法により形成したSOG膜であることを特徴とする請求項1、請求項2または請求項3記載の半導体装置の製造方法。

【請求項6】 前記スタック型のキャパシタ形成工程において前記情報蓄積電極の形状加工を施した後、前記層間絶縁膜エッチング防止層で層間絶縁膜のエッチングを防止しながら前記形状加工に用いたシリコン酸化膜をフッ酸水溶液中で選択的にエッチング除去することを特徴とする請求項1、請求項2、請求項3、請求項4または請求項5記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置の製造方法に関し、特に半導体記憶装置のキャパシタ電極の形成方法に関する。

【0002】

【従来の技術】 半導体記憶装置の中で記憶情報の任意な入出力が可能なものにDRAMがある。ここで、このDRAMのメモリセルは、1個のトランスファートランジスタと、1個のキャパシタとからなるものが構造的に簡単であり、半導体記憶装置の高集積化に最も適するものとして広く用いられている。

【0003】 このようなメモリセルのキャパシタでは、半導体デバイスの更なる高集積化に伴い、3次元構造のものが開発され使用されてきている。このキャパシタの3次元化は次のような理由による。半導体素子の微細化及び高密度化に伴いキャパシタの占有面積の縮小化が必須となっている。しかし、DRAMの安定動作及び信頼

性確保のためには、一定以上の容量値は必要とされる。そこで、キャパシタの電極を平面構造から3次元構造に変えて、縮小した占有面積の中でキャパシタ電極の表面積を拡大することが必要となる。

【0004】 このDRAMのメモリセルの3次元構造のキャパシタにはスタック構造のものとトレンチ構造のものがある。これらの構造にはそれぞれ一長一短があるが、スタック構造のものはアルファ線の入射あるいは回路等からのノイズに対する耐性が高く、比較的に容量値の小さい場合でも安定動作する。このために、半導体素子の設計基準が $0.15\mu\text{m}$ 程度となる1ギガビットDRAMにおいても、スタック構造のキャパシタは有効であると考えられている。

【0005】 このスタック構造のキャパシタ（以下、スタック型のキャパシタと呼称する）としてフィン型あるいはシリンダ型のものが提案されている。例えば、インターナショナル エレクトロン デバイス ミーティング (INTERNATIONAL ELECTRON DEVICES MEETING) 1988年593～595頁の3ディメンショナル スタックドキャパシタセル フォー 16メガ アンド 64メガ DRAMs (3-DIMENSIONAL STACKED CAPASITOR CELL FOR 16M AND 64M DRAMS) と題する論文や、特開平1-270344号公報において、キャパシタ電極をフィン構造にすることでキャパシタの情報蓄積電極の表面積を増加させることが提案されている。また、特開平3-232271号公報や特開平6-29463号公報には、キャパシタの情報蓄積電極をシリンダ構造に形成して表面積を増加させようとする提案がなされている。

【0006】 これらフィン型やシリンダ型等の立体構造のキャパシタ電極を形成する主要の工程に共通するのは、シリコン酸化膜（スペーサ絶縁膜）と情報蓄積電極となる材料膜とを積層しこれらの膜をドライエッチングした後、このキャパシタの情報蓄積電極の形状加工用に用いたシリコン酸化膜（スペーサ絶縁膜）がフッ酸水溶液の化学薬液を用いたエッチングで除去され形成されることである。

【0007】 そして、キャパシタ電極の下層の層間絶縁膜がエッチングされないように、シリコン酸化膜（スペーサ絶縁膜）とエッチングの選択比がとれる材料で、層間絶縁膜とキャパシタ電極特に情報蓄積電極との間に層間絶縁膜エッチング防止層（ストッパ膜）を設ける必要がある。現在、このストッパ膜には、フッ酸水溶液によるエッチレートが、シリコン酸化膜の $1/100$ 程度であるシリコン窒化膜が広く用いられている。

【0008】 以下、図面を参照して従来のキャパシタ電極の形成方法について説明する。ここで、図13および図14はシリンダ型の電極の工程要部の断面図である。

【0009】 図13に模式的に示すように、シリコン基

板 3 1 の表面に素子分離絶縁膜であるフィールド酸化膜 3 2 を形成する。そして、メモリセルのトランジスタのゲート電極 3 3、ソース・ドレイン領域となる容量用拡散層 3 4 とビット線用拡散層 3 5 を形成する。また、ワード線 3 3' をフィールド酸化膜 3 2 上に形成する。次に、このゲート電極 3 3 およびワード線 3 3' を被覆する層間絶縁膜 3 6 をシリコン酸化膜等で形成し、ビット線コンタクトプラグ 3 7 を前述のビット線用拡散層 3 5 上に形成する。そして、このビット線コンタクトプラグ 3 7 に電気接続するビット線 3 8 を配設し、さらに、このビット線 3 8 を被覆する層間絶縁膜 3 6 を堆積させる。

【0010】次に、層間絶縁膜 3 6 上に積層するストッパ膜 3 9 を形成する。ここで、このストッパ膜 3 8 はシリコン窒化膜で構成される。

【0011】次に、前述の容量用拡散層 3 4 上にコンタクト孔を開口し、キャパシタの情報蓄積電極となる下部電極 4 0 と側部電極 4 1 および情報蓄積電極の形状加工用のスペーサ絶縁膜 4 2 からなる、図 1 3 に示すような構造体を形成する。

【0012】次に、フッ酸水溶液によってスペーサ絶縁膜 4 2 を選択的にエッチング除去して、図 1 4 に示すように、キャパシタの情報蓄積電極を形成する。

【0013】このようにして、シリコン基板 3 1 表面のフィールド酸化膜 3 2 以外の活性領域に、トランジスタのゲート電極 3 3 およびソース・ドレイン領域となる容量用拡散層 3 4、ビット線用拡散層 3 5、さらに、容量用拡散層 3 4 に電気接続して情報蓄積電極である下部電極 4 0 と側部電極 4 1、ビット線用拡散層 3 5 にビット線コンタクトプラグ 3 7 を介して電気接続するビット線 3 8 が形成される。ここで、下部電極 4 0 は、層間絶縁膜 3 6 とストッパ膜 3 9 に形成されるコンタクト孔に埋設され、ストッパ膜 3 9 表面を被覆して形成される。

【0014】また、フィン型のキャパシタ電極を形成する場合も、まず層間絶縁膜のエッチング防止層として、シリコン窒化膜からなるストッパ膜上にキャパシタ電極になるシリコン膜とキャパシタ電極形状加工用のシリコン酸化膜であるスペーサ絶縁膜を交互に積層するように堆積し、これらの膜をドライエッチングでパターンニングし、その後、フッ酸水溶液によってスペーサ絶縁膜のみを選択的にエッチング除去してキャパシタの情報蓄積電極を形成する。

【0015】

【発明が解決しようとする課題】しかしながら、層間絶縁膜エッチング防止層（ストッパ膜）に、シリコン窒化膜を用いた場合、シリコン窒化膜の応力が大きいため、層間絶縁膜、シリコン窒化膜に割れ（クラック）がしばしば発生し、半導体装置の製造工程において支障をきたす。さらに、シリコン窒化膜は、電気的なトラップ

密度の高い絶縁膜であるため、チャージアップを惹き起こし半導体装置の動作にも悪影響を及ぼしてしまう。また、このシリコン窒化膜は水素ガスの透過阻止力が高い。このため、半導体装置の動作の安定化に必須となる水素ガスによるアニールが不十分になる。そして、半導体装置の信頼性および歩留りの低下につながる。

【0016】このためにシリコン窒化膜を薄くする方法も考えられるが、シリコン酸化膜との選択比が 100 倍程度であるため、数 10 nm 以上の膜厚が必要になってしまい、前述した影響を低減する程の薄膜化は難しい。

【0017】また、情報蓄積電極の表面積を増加させる方法として、半球状シリコングレイン（以下、HSG と呼称する）からなる凹凸をシリンドラ型、フィン型等の 3 次元構造の情報蓄積電極表面に形成する方法が、特開平 5-67730 号公報で提案されている。この場合には、HSG の結晶核としてシリコン原子を情報蓄積電極の表面に選択的に形成することが非常に有効になる。しかし、ストッパ膜がシリコン窒化膜であると、この選択的なシリコン原子の核形成は困難になる。これは、情報蓄積電極を形成するアモルファスシリコンとシリコン窒化膜とでは、シリコン原子の堆積における選択性が非常に悪いためである。

【0018】本発明の目的は、半導体装置の形成工程において層間絶縁膜エッチング防止層にシリコン窒化膜を用いずにフィン構造やシリンドラ構造のスタック型のキャパシタ電極を形成する方法を提供することにある。

【0019】

【課題を解決するための手段】このために本発明では、半導体記憶装置の情報蓄積電極と対向電極と容量絶縁膜とで構成されるスタック型のキャパシタ形成工程において、情報蓄積電極の形状加工に用いるシリコン酸化膜の密度を、前記情報蓄積電極下に設けた層間絶縁膜エッチング防止層であるシリコン酸化膜の密度よりも低くなるように設定し、情報蓄積電極の形状加工後、上記形状加工に用いたシリコン酸化膜を選択的に除去する。

【0020】この情報蓄積電極の形状はシリンドラ構造あるいはフィン構造になるように加工される。

【0021】ここで、上記層間絶縁膜エッチング防止層であるシリコン酸化膜の密度を 2.20 g/cm^3 以上になるように設定する。

【0022】そして、上記層間絶縁膜エッチング防止層は、熱 CVD 法で堆積しその後 700°C 以上の温度で熱処理を施したシリコン酸化膜である。

【0023】また、上記情報蓄積電極の形状加工に用いるシリコン酸化膜は、ゾル・ゲル法により形成した SOG 膜である。

【0024】そして、本発明では、上記スタック型のキャパシタ形成工程において前記情報蓄積電極の形状加工を施した後、前記層間絶縁膜エッチング防止層で層間絶縁膜のエッチングを防止しながら前記形状加工に用いた

シリコン酸化膜をフッ酸水溶液中で選択的にエッチング除去する。

【0025】

【発明の実施の形態】本発明によりDRAMのメモリセルをシリンドラ構造のスタック型キャパシタで形成する場合の第1の実施の形態について、以下に図面を参照して説明する。図1乃至図6は、第1の実施の形態の工程要所に於ける半導体装置の要部断面を模式的に示した図である。

【0026】図1に示すように、まず、LOCOS (L 10 ocal Oxidation of Silicon) 等、通常の素子分離方法によりシリコン基板1上に非活性領域であるフィールド酸化膜2を形成し、それらにより取り囲まれる素子活性領域を形成する。

【0027】次に、素子活性領域上にゲート酸化膜を介したゲート電極3、容量用拡散層4、ビット線用拡散層5等からなるMOSトランジスタを形成する。このMOSトランジスタがメモリセルのトランスファトランジスタとなる。また、ワード線3'をフィールド酸化膜2上に形成する。このワード線3'は、隣接メモリセルのト 20 ランスファトランジスタのゲート電極につながる。そして、このゲート電極3およびワード線3'を被覆するように層間絶縁膜6を形成する。ここで、層間絶縁膜6として公知の化学気相成長(CVD)法によるHTO(High Temperature Oxide)膜とBPSG(ボロンガラスとリンガラスを含有するシリケートガラス)膜とを順に成膜し、750~900℃でアニールを行い、リフローさせて平坦性を高める。

【0028】次に、前記MOSトランジスタのビット線 30 用拡散層5上にコンタクト孔を開口し、このコンタクト孔にタングステン、窒化チタン、タングステンシリサイド等の導電体材を埋設しビット線コンタクトプラグ7を形成する。そして、タングステン等の導電体膜を堆積した後、既知の写真蝕刻工程によりパターンニングして、ビット線8を形成する。

【0029】次に、ビット線8を被覆する層間絶縁膜6としてシリコン酸化膜をCVD法により成膜し、化学的機械研磨(CMP)法で平坦化する。

【0030】次に、層間絶縁膜エッチング防止層となるストップ膜9を層間絶縁膜6の表面に形成する。

【0031】ストップ膜9は次のようにして形成する。初めに、CVD法で膜厚が100nm程度のNSG(ノンドープト・シリケートガラス)膜を堆積させる。ここで、成膜のための反応ガスはSiH₄とO₂とを含むガスである。また、成膜温度は、400~500℃である。次に、このNSG膜に700~950℃での熱処理を施す。この熱処理によりNSG膜の密度は大幅に向上する。このようにして得られるストップ膜の密度は2.20~2.26g/cm³となる。このストップ膜の0.5重量%フッ酸水溶液中25℃でのエッチング速度 50

は10nm/min程度である。このように、シリコン酸化膜でその密度が2.20g/cm³以上になると、フッ酸水溶液中でのエッチング速度は大幅に減少するようになり、層間絶縁膜エッチング防止層として有効に働くようになる。

【0032】また、CVD法で堆積するシリコン酸化膜では、成膜後の熱処理を温度700℃以上で行なうと、そのシリコン酸化膜の密度は2.20g/cm³以上になり、上記理由から層間絶縁膜エッチング防止層として有効に働くようになる。

【0033】あるいは、ストップ膜9は次のようにして形成する。反応ガスとしてSiH₄とN₂Oを含むガスを用い、堆積温度を750~850℃にしてCVD法で堆積する。この場合は、堆積したNSG膜の熱処理は不要である。

【0034】次に、前記MOSトランジスタの容量用拡散層4上に既知の写真蝕刻工程を用いてコンタクト孔を開口し、続いてホスフィン(PH₃)とシラン(SiH₄)又はジシラン(Si₂H₆)からなるガス系より既知の減圧CVD法により、不純物としてリン(P)を1.5×10²⁰原子/cm³の濃度で含むアモルファス状の第1シリコン膜10を100~300nmの膜厚に成膜する。

【0035】次に、第1シリコン膜10上にスペーサ絶縁膜11を形成する。このスペーサ絶縁膜11は低い密度を有するシリコン酸化膜である。このような絶縁膜はゾル・ゲル法を用いて形成できる。例えば、テトラメトキシシラン、テトラエトキシシラン、メチルトリアルコキシシラン、メチルトリエトキシシランのようなアルコキシシランの縮合体を、アルコール系、ケトン系、エステル系等の有機溶剤に溶解し、塩酸、硫酸等の触媒の存在下で水を加えて加水分解する。この加水分解で塗布液が形成される。この塗布液をスピナー等を用いて第1シリコン膜10上に塗布し、350~400℃で焼成しSOG膜を形成する。このSOG膜がスペーサ絶縁膜となる。このSOG膜の膜厚は500nm程度に設定される。

【0036】このようにして得られるSOG膜は、密度が1.75~2.15g/cm³と低い。また、この膜中には多量のOH基が残り、膜質は多孔質であり吸湿性も高い。あるいは、このSOG膜中にはアルキル基も含まれる。

【0037】このようなSOG膜の0.5重量%のフッ酸水溶液による25℃でのエッチング速度は1000~1500nm/minになる。すなわち、ストップ膜のエッチング速度の100倍以上になる。

【0038】一般にスペーサ絶縁膜は密度の小さい方がエッチング速度が大きくなる。しかし、エッチング速度が大きすぎると、ウェーハの洗浄工程、フォトレジストの剥離工程等の工程でスペーサ絶縁膜がエッチングさ

れ、形成したパターン of 欠損といった不都合が生じる。このために、上記のフッ酸水溶液中でのエッチング速度は1000nm程度に抑えておく必要がある。このエッチング速度の調整は、スペーサ絶縁膜の密度を制御することで可能であり、密度の制御は塗布液の混合比あるいは塗布後の焼成温度等を変えることで可能となる。

【0039】次に、図2に示すように、公知のフォトリソグラフィ技術とドライエッチング技術で下部電極12とスペーサ13とを所定の形状に形成する。

【0040】次に、図3に示すように、ストッパ膜9、10、スペーサ13および下部電極12を被覆する第2シリコン膜14を堆積させる。ここで、この第2シリコン膜14は、第1シリコン膜10の成膜の方法と同様に形成され、その膜厚は100nm程度に設定される。

【0041】次に、図4に示すように、異方性のドライエッチングにより第2シリコン膜14を、下部電極12とスペーサ13の側壁にサイドウォール状に残してエッチングする。このようにして側部電極15を形成し、スペーサ13の表面を露出させる。ここで、異方性のドライエッチングの反応ガスとして塩素(Cl_2)、酸素(O_2)と臭化水素(HBr)の混合ガスが用いられる。

【0042】次に、半導体基板を25℃、0.5重量%のフッ酸水溶液に1分間浸漬しスペーサ13をエッチング除去する。このようにして、図5に示すようにシリンドラ型の情報蓄積電極を形成する。ここで、情報蓄積電極は容量用拡散層4に電気接続する下部電極12とこの下部電極12に電気接続する側部電極15とで構成される。

【0043】次に、下部電極12および側部電極15の30表面に存在する自然酸化膜を希弗酸溶液で除去し、自然酸化膜の再成長を抑止する為にアンモニアガス雰囲気中、900℃程度の温度で急速熱窒化を行なった後、図6に示すように、公知の減圧CVD法によりシリコン窒化膜を5nm程度の膜厚に成膜し、さらに800℃の水蒸気雰囲気中で熱酸化を行ない、 $\text{SiO}_2/\text{Si}_3\text{N}_4$ 構造の容量絶縁膜16を形成する。

【0044】続いて、上部電極17として膜厚150nmのポリシリコン膜を成膜し、その後、温度が800℃程度の公知の熱拡散でリン不純物を上部電極17に導入40する。この時に下部電極12と側部電極15は多結晶化する。

【0045】このようにして、シリコン基板1表面のフィールド酸化膜2以外の活性領域に、メモリセルを構成するトランジスタのゲート電極3およびソース・ドレイン領域となる容量用拡散層4、ビット線用拡散層5、さらに、容量用拡散層4に電気接続し情報蓄積電極となる下部電極12と側部電極15、ビット線用拡散層5にビット線コンタクトプラグ7を介して電気接続するビット線8が形成される。ここで、下部電極1250

は、層間絶縁膜6およびストッパ膜9に形成されるコンタクト孔に埋設され、ストッパ膜9の表面を被覆して形成される。そして、情報蓄積電極の対向電極である上部電極17と容量絶縁膜16と共にシリンドラ構造のスタック型のキャパシタを構成する。

【0046】なお、本実施の形態では、下部電極12と側部電極16に含まれる不純物をこれらの成膜と同時にドーピングしているが、ノンドーピングのシリコン膜で情報蓄積電極を形成後に、リン不純物を熱拡散し、情報蓄積電極に不純物を導入するようにしてもよい。

【0047】また、本実施の形態では、上部電極17をノンドーピングのポリシリコン膜を堆積した後、リンを熱拡散させているが、前述の情報蓄積電極の形成方法と同様に、成膜と同時にリン不純物をドーピングしてもよい。

【0048】また、本実施の形態では、層間絶縁膜6とストッパ膜9を形成した後にコンタクト孔を開口し、第1シリコン膜10を形成しているが、ストッパ膜9の上にスペーサ絶縁膜を形成してからコンタクト孔を開口し、次に第1シリコン膜10を形成し下部電極とすれば、前述の化学薬液によるスペーサ絶縁膜の選択的エッチング後、スペーサ膜9と下部電極12との間にギャップが形成されるようになる。このようにすれば、下部電極12の下面も情報蓄積電極の表面として有効に活用できるようになる。

【0049】このようにして、ストッパ膜としてシリコン窒化膜を用いなくて、シリンドラ構造の情報蓄積電極形成のためのスペーサのエッチング速度をストッパ膜のエッチング速度の100倍程度にすることで、良好なDRAMのキャパシタが得られるようになる。

【0050】また、図7に示すように、容量用拡散層4に接続する下部電極12と側部電極15の表面にHSGを選択的に形成できる。

【0051】例えば、下部電極12と側部電極15の表面の自然酸化膜を除去した後、酸素および水の分圧が 10^{-8}Torr 以下となる条件で温度550~600℃、圧力0.1~1mTorrで SiH_4 または Si_2H_6 を含むガスを用いて、下部電極12および側部電極15の表面にのみ結晶核を選択的に形成する。その後、同一の温度でアニールを施すと、アモルファスシリコンである下部電極12と側部電極15の表面のシリコン原子が表面マイグレーションを起こし、結晶核を中心にHSGが選択的に成長する。

【0052】これに対し、従来の技術でシリコン窒化膜をストッパ膜にする場合には、上記の結晶核の形成でシリコン窒化膜上にもシリコン原子が堆積する。このために、層間絶縁膜表面の絶縁性が損なわれ、情報蓄積電極間が導通するようになる。本発明では、このような問題は完全に解決される。

【0053】次に、本発明の第2の実施の形態を図8乃至図12に基づいて説明する。本実施の形態をフィン構

造のスタック型のキャパシタの形成に適用する場合である。ここで、図8乃至図12は製造工程の要所に於ける半導体装置の要部断面を模式的に示した図である。

【0054】第2の実施の形態の工程は、図8に示すストッパ膜9の形成工程までは、第1の実施の形態と同様である。すなわち、図8に示すように、先ず、シリコン基板1上に非活性領域であるフィールド酸化膜2を形成し、それらにより取り囲まれる素子活性領域を形成する。

【0055】次に、素子活性領域上にゲート電極3、容量用拡散層4、ビット線用拡散層5等からなるMOSトランジスタを形成する。このMOSトランジスタがメモリセルのトランスファートランジスタとなる。また、ワード線3'をフィールド酸化膜2上に形成する。このワード線3'は、隣接メモリセルのトランスファートランジスタのゲート電極につながる。そして、このゲート電極3およびワード線3'を被覆するように層間絶縁膜6を形成する。ここで、層間絶縁膜6として公知のCVD法によるシリコン酸化膜を成膜する。そして、CMP法で平坦化する。

【0056】次に、前述のMOSトランジスタのビット線用拡散層5上にコンタクト孔を開口し、このコンタクト孔にタングステン、窒化チタン、タングステンシリサイド等の導電体材を埋設しビット線コンタクトプラグ7を形成する。そして、タングステン等の導電体膜を堆積した後、ドライエッチングでパターンニングして、ビット線8を形成する。

【0057】次に、このビット線8を被覆する層間絶縁膜6としてシリコン酸化膜をCVD法により成膜し、このシリコン酸化膜をCMP法で平坦化する。そして、この層間絶縁膜6上に第1の実施の形態と同様にストッパ膜9を形成する。

【0058】次に、スペーサ絶縁膜とシリコン膜とを交互に積層して堆積させる。そして、第1スペーサ絶縁膜18、第1フィン用電極膜19、第2スペーサ絶縁膜20、第2フィン用電極膜21および第3スペーサ絶縁膜22を形成する。ここで、これらのスペーサ絶縁膜は膜厚が50nm程度のSOG膜であり、シリコン膜は第1の実施の形態で説明したリン不純物を含有するアモルファス状のシリコン膜であり、その膜厚は100程度に設定される。

【0059】次に、容量用拡散層4上にドライエッチングでコンタクト孔を開口し、図9に示すように、第3フィン用電極膜23を堆積させる。この第3フィン用電極膜の形成方法は第1の実施の形態で説明したのと同様である。

【0060】次に、図10に示すようにドライエッチングでこれらのスペーサ絶縁膜およびシリコン膜を所定の形状に加工する。このようにして、第1スペーサ24、第1フィン電極25、第2スペーサ26、第2フィン電

極27、第3スペーサ28および第3フィン電極29を形成する。

【0061】次に、半導体基板を25℃、0.5重量%のフッ酸水溶液に5秒間程度浸漬し各スペーサをエッチング除去する。このようにして、図11に示すようにフィン型の情報蓄積電極を形成する。ここで、情報蓄積電極は容量用拡散層4に電気接続する第3フィン電極29、第1フィン電極25および第2フィン電極27とで構成される。

【0062】ここで、ストッパ膜9表面のエッチング量は1nm程度となり非常に微少となる。

【0063】次に、第1の実施の形態で説明したように、第1フィン電極25、第2フィン電極27および第3フィン電極29の表面に存在する自然酸化膜を希弗酸溶液で除去し、自然酸化膜の再成長を抑止するためにアンモニアガス雰囲気中、900℃程度の温度で急速熱酸化を行なった後、図12に示すように、公知の減圧CVD法によりシリコン窒化膜を7nm程度の膜厚に成膜し、さらに800℃の水蒸気雰囲気中で熱酸化を行ない、SiO₂/Si₃N₄構造の容量絶縁膜16を形成する。この熱酸化の工程で、前述の第1フィン電極25、第2フィン電極27および第3フィン電極29は多結晶化する。

【0064】続いて、上部電極17として膜厚150nmのポリシリコン膜を成膜し、その後、公知の熱拡散でリン不純物を上部電極17に導入する。

【0065】このようにして、シリコン基板1表面のフィールド酸化膜2以外の活性領域に、メモリセルを構成するトランスファートランジスタのゲート電極3およびソース・ドレイン領域となる容量用拡散層4、ビット線用拡散層5、さらに、容量用拡散層4に電気接続し情報蓄積電極となる第1フィン電極25、第2フィン電極27および第3フィン電極29、ビット線用拡散層5にビット線コンタクトプラグ7を介して電気接続するビット線8が形成される。ここで、第3フィン電極29は、層間絶縁膜6とストッパ膜9に形成されるコンタクト孔に埋設され、第1フィン電極25および第2フィン電極27と共に容量用拡散層4に電気接続される。そして、情報蓄積電極の対向電極である上部電極17、容量絶縁膜16と共にフィン構造のスタック型のキャパシタを構成するようになる。

【0066】この第2の実施の形態でも、第1の実施の形態で説明したのと同様の効果が得られる本実施の形態では、3枚のフィンであるが3枚以上あるいは3枚以下のフィン構造も同様に形成できる。また、この場合には、フィン用電極膜を不純物を含有するポリシリコン膜で形成してもよい。

【0067】以上の実施の形態では、シリンドラ構造とフィン構造のスタック型のキャパシタの形成について説明したが、これ以外の構造のキャパシタも本発明のストッ

バ膜とスペーサ絶縁膜とを利用して形成できることにも触れておく。

【0068】また、層間絶縁膜としてシリコン酸化膜を用いる場合について説明したが、シリコン酸化膜に過剰のシリコン原子を含有する絶縁膜でもよいことにも触れておく。

【0069】

【発明の効果】本発明の半導体装置の製造方法によれば、立体構造の情報蓄積電極を形成する際、層間絶縁膜エッチング防止層として従来用いられていたシリコン窒化膜を用いる必要がなくなり、シリコン窒化膜の使用に伴うクラックの発生や、素子分離特性の劣化を防止でき、信頼性や、歩留りが向上するという効果がある。

【0070】また、本発明においてエッチング用の化学薬液として用いられるフッ酸水溶液は、半導体装置の製造工程ですでに広く一般的に使用されているもののので、新規製造装置を新たに開発してラインへ導入する必要がなく、最小限のコストで、実施できるという効果がある。

【0071】さらに本発明の半導体装置の製造方法は、エッチングの選択比が急激に劣化することがないので、プロセスの再現性と安定性に優れるという効果もある。

【0072】また、本発明では、ストッパ膜にシリコン酸化膜を用いており、HSG形成でシリコン原子の選択的な結晶核形成が可能であるため、シリンドラ型、フィン型等の3次元構造の情報蓄積電極と、HSGによる電極表面の面積拡大技術とを同時に用いることが可能になる。

【0073】このようにして、本発明はDRAMの超高集積化および高密度化をさらに促進するようになる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態を説明するための断面図である。

【図2】本発明の第1の実施の形態を説明するための断面図である。

【図3】本発明の第1の実施の形態を説明するための断面図である。

【図4】本発明の第1の実施の形態を説明するための断面図である。

【図5】本発明の第1の実施の形態を説明するための断面図である。

【図6】本発明の第1の実施の形態を説明するための断面図である。

【図7】上記第1の実施の形態の効果を説明するための

断面図である。

【図8】本発明の第2の実施の形態を説明するための断面図である。

【図9】本発明の第2の実施の形態を説明するための断面図である。

【図10】本発明の第2の実施の形態を説明するための断面図である。

【図11】本発明の第2の実施の形態を説明するための断面図である。

【図12】本発明の第2の実施の形態を説明するための断面図である。

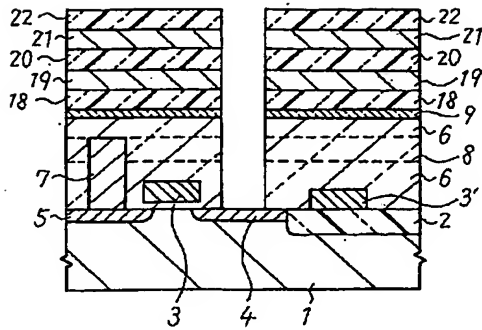
【図13】従来の技術を説明するための断面図である。

【図14】従来の技術を説明するための断面図である。

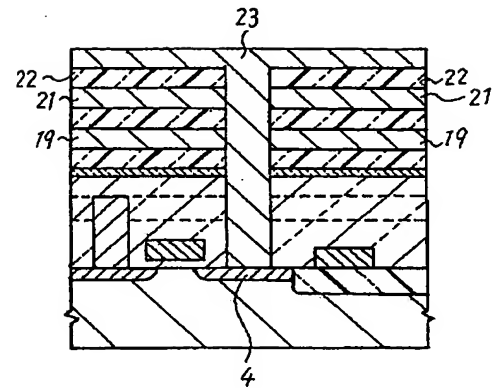
【符号の説明】

1, 31	シリコン基板
2, 32	フィールド酸化膜
3, 33	ゲート電極
3', 33'	ワード線
4, 34	容量用拡散層
5, 35	ビット線用拡散層
6, 36	層間絶縁膜
7, 37	ビット線コンタクトプラグ
8, 38	ビット線
9, 39	ストッパ膜
10	第1シリコン膜
11	スペーサ絶縁膜
12, 40	下部電極
13, 42	スペーサ
14	第2シリコン膜
15, 41	側部電極
16	容量絶縁膜
17	上部電極
18	第1スペーサ絶縁膜
19	第1フィン用電極膜
20	第2スペーサ絶縁膜
21	第2フィン用電極膜
22	第3スペーサ絶縁膜
23	第3フィン用電極膜
24	第1スペーサ
25	第1フィン電極
26	第2スペーサ
27	第2フィン電極
28	第3スペーサ
29	第3フィン電極

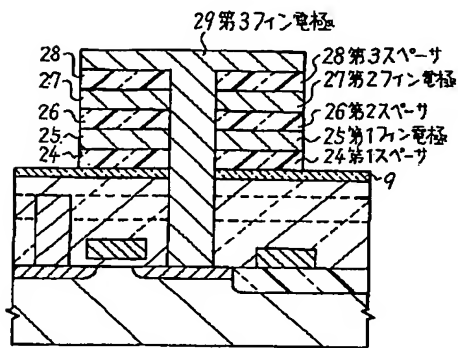
【図8】



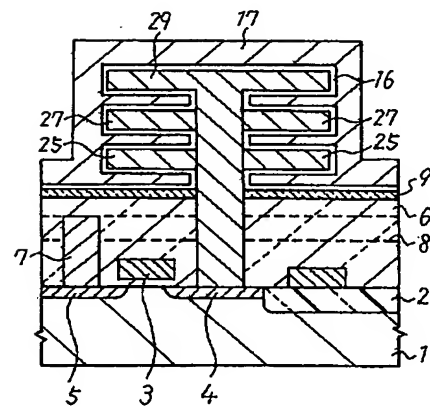
【図9】



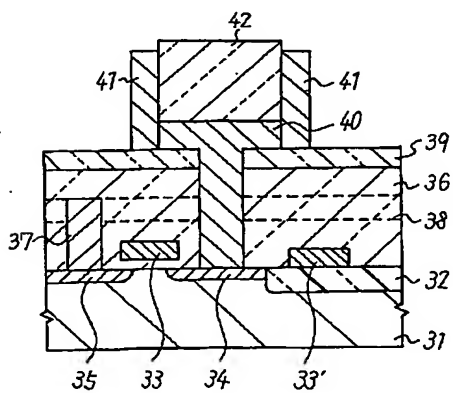
【図10】



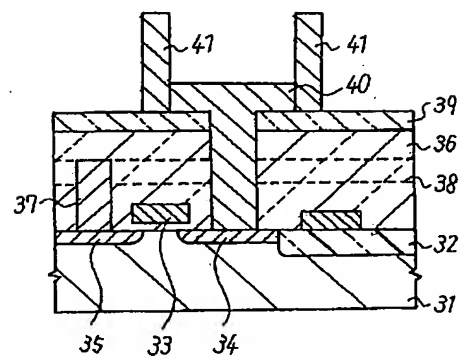
【図12】



【図13】



【図14】



フロントページの続き

(51) Int. Cl.⁶
H 0 1 L 21/316

識別記号 庁内整理番号

F I
H 0 1 L 27/10

技術表示箇所

6 2 1 C